

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

APPLICANT(S): EO, Yun-Seong et al.  
SERIAL NO.: Not Yet Assigned  
FILED: Herewith  
FOR: **INTEGRATABLE, VOLTAGE-CONTROLLED RF POWER  
AMPLIFIER**  
DATED: February 5, 2004

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF PRIORITY DOCUMENTS**

Sir:

Enclosed is a certified copy of Korean Patent Appln. No. 31726-  
2003 filed on May 19, 2003, from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,



Paul J. Farrell, Esq.  
Reg. No. 33,494  
Attorney for Applicant(s)

**DILWORTH & BARRESE, LLP**  
**333 Earle Ovington Blvd.**  
**Uniondale, NY 11553**  
**(516) 228-8484**

---

**CERTIFICATION UNDER 37 C.F.R. 1.10**

I hereby certify that this New Application Transmittal and the documents referred to as enclosed therein are being deposited with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee" Mail Label Number EL 995745165 US addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date listed below.

Dated: February 5, 2004

  
John F. Gallagher III

678-1265



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0031726  
Application Number

출원 년 월 일 : 2003년 05월 19일  
Date of Application MAY 19, 2003

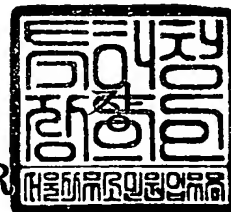
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 08 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0006  
**【제출일자】** 2003.05.19  
**【국제특허분류】** H03F  
**【국제특허분류】** H03G  
**【발명의 명칭】** 집적 가능한 전압조정 초고주파 전력 증폭기  
**【발명의 영문명칭】** FULLY INTEGRATED RADIO FREQUENCY POWER AMPLIFIER WITH VARIABLE BIAS CONTROL

## 【출원인】

**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3

## 【대리인】

**【성명】** 이건주  
**【대리인코드】** 9-1998-000339-8  
**【포괄위임등록번호】** 2003-001449-1

## 【발명자】

**【성명의 국문표기】** 어윤성  
**【성명의 영문표기】** E0,Yun Seong  
**【주민등록번호】** 710809-1005929  
**【우편번호】** 442-708  
**【주소】** 경기도 수원시 팔달구 매탄1동 매탄주공4단지아파트 420동 401호  
**【국적】** KR

## 【발명자】

**【성명의 국문표기】** 조계옥  
**【성명의 영문표기】** CH0,Gea Ok  
**【주민등록번호】** 640809-1634824  
**【우편번호】** 449-846  
**【주소】** 경기도 용인시 수지읍 풍덕천리 진산마을 삼성 5차아파트 501동 1301 호  
**【국적】** KR

**【발명자】****【성명의 국문표기】** 이광두**【성명의 영문표기】** LEE,Kwang Du**【주민등록번호】** 721225-1624118**【우편번호】** 139-847**【주소】** 서울특별시 노원구 월계4동 512-9 B02**【국적】** KR**【심사청구】** 청구**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이건주 (인)**【수수료】****【기본출원료】** 20 면 29,000 원**【가산출원료】** 13 면 13,000 원**【우선권주장료】** 0 건 0 원**【심사청구료】** 20 항 749,000 원**【합계】** 791,000 원

## 【요약서】

## 【요약】

본 발명은 가변 바이어스 전압을 가지면서 집적 가능한 전력 증폭기에 관한 것으로서, 초고주파 대역의 입력신호의 크기를 검출하고, 정류 트랜지스터의 비선형 특성을 이용하여 상기 검출된 입력신호의 크기에 응답하는 직류신호를 출력하는 제1 바이어스 조정회로와, 상기 제1 바이어스 조정회로로부터 출력되는 직류신호의 전압을 상보소자로 이루어진 소스 폴로어 트랜지스터에 의해 조정하여 증폭 효율을 최적화할 수 있는 바이어스 전압을 생성하는 제2 바이어스 조정회로와, 구동전압에 의해 동작하고, 상기 입력신호를 상기 제2 바이어스 조정회로로부터 출력되는 바이어스 전압에 응답하여 증폭함으로써 출력신호를 생성하는 전력증폭기 트랜지스터를 포함한다. 이러한 본 발명은 최대출력 신호전력에서의 증폭기 효율을 유지하면서 통계적으로 가장 많이 쓰이는 작은 전력에서의 증폭기 효율을 개선할 수 있으며, 전력증폭기 회로의 단일칩화가 가능하다.

## 【대표도】

도 3

## 【색인어】

POWER AMPLIFIER, FET, COMPLEMENTARY ELEMENT, SOURCE FOLLOWER

【명세서】

【발명의 명칭】

집적 가능한 전압조정 초고주파 전력 증폭기{FULLY INTEGRATED RADIO FREQUENCY POWER AMPLIFIER WITH VARIABLE BIAS CONTROL}

【도면의 간단한 설명】

도 1은 종래 기술에 따라 입력단에서 RF 전력의 크기를 검출하는 전력증폭기의 회로도.

도 2는 종래 기술에 따라 출력단에서 RF 전력의 크기를 검출하는 전력증폭기의 회로도.

도 3은 본 발명의 일 실시예에 따른 집적 가능한 전력증폭기의 회로도.

도 4는 본 발명의 다른 실시예에 따른 집적 가능한 전력증폭기의 회로도.

도 5는 전력증폭기에서 입력전력의 크기에 따라 가변하는 바이어스 전압을 나타낸 그래프.

도 6은 가변 바이어스 회로가 없는 기존 전력증폭기의 입력전력에 따른 효율을 나타낸 도면.

도 7은 본 발명에 따른 가변 바이어스 회로를 사용하는 전력증폭기의 입력전력에 따른 효율을 나타낸 도면.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 전력증폭기에 관한 것으로서, 특히 가변 바이어스 전압을 가지면서 집적 가능한 전력 증폭기에 관한 것이다.
- <9> 일반적으로 소형의 통신기기에 있어서 전력증폭기는 송신부의 최종단에서 초고주파 (Radio Frequency: RF) 신호를 송신 전에 증폭해 주는 역할을 수행한다. 이와 같이 전력증폭기는 최종단에서 사용되기 때문에 증폭 가능한 신호의 범위를 나타내는 선형성이 중요하며, RF신호를 크게 증폭하기 위해 많은 전류를 소모하게 되므로 증폭 효율이 문제가 된다. 실제로 셀룰러 전화기 등에서 RF 회로부의 전력의 50%가량을 전력증폭기가 소모하게 되어, 전력증폭기의 효율은 배터리 수명을 결정하는 핵심요소가 된다.
- <10> 전력증폭기의 RF 출력신호의 크기는 통신거리에 따라 큰 범위로 변하게 되므로, 효율을 개선하는 방법은 최대 출력신호에서의 효율을 개선하는 방법과 작은 출력신호에서의 효율을 개선하는 방법이 있다. 대체적으로 소형 통신기기는 최대전력보다는 저전력에서 사용되는 경우가 많으므로, 저전력의 RF신호에서의 전력증폭기의 효율개선은 직접적으로 단말기의 사용시간에 큰 영향을 미친다. 따라서 소형 통신기기의 성능을 개선함에 있어서 전력증폭기에서 최대전력에서의 성능을 유지하면서 저전력에서의 효율을 개선하기 위한 다양한 기술들이 연구되고 있다.
- <11> 종래 기술에 의해 바이어스 조정을 통해 저전력 효율을 개선하는 전력증폭기의 회로도 1과 도 2에 나타내었다.

- <12> 도 1은 종래 기술에 따라 입력단에서 RF 전력의 크기를 검출하여 증폭기 트랜지스터의 바이어스를 가변하는 전력증폭기의 회로도를 나타낸 것이다.
- <13> 상기 도 1을 참조하면, 입력 신호  $V_{in}$ 은 저항(14)으로 표현되는 소스 임피던스  $R_s$ 를 가지는 입력 소스(12)에 의해 RF 전력 증폭기(10)에 인가되며, 상기 입력 소스(12)는 DC(Direct Current) 차단 캐패시터(16)에 연결된다. 상기 캐패시터(16)는 인덕터(18)와 함께 증폭기 트랜지스터(32)의 입력 임피던스 매칭 네트워크를 형성한다. 다이오드(20)는 상기 캐패시터(16)의 일측 단자에 접속되는 캐소드와, 홀딩 캐패시터(holding capacitor)(22)의 일측 단자에 접속되는 애노드를 가진다.
- <14> 상기 홀딩 캐패시터(22)의 타측 단자는 접지된다. 상기 다이오드(20)와 상기 홀딩 캐패시터(22)는 음의 첨두 검출기(negative peak detector)(23)를 형성한다. 상기 다이오드(20)의 캐소드에서 나타나는 대부분의 음의 전압은 상기 홀딩 캐패시터(22)와 상기 다이오드(22)의 사이에서 상기 홀딩 캐패시터(22)에 의해 유지된다. 상기 노드 24에서의 전압은 제어 증폭기(26)와 전압 소스(27)와 저항(28)과 캐패시터(30)로 구성되는 저역통과 피드백 증폭기(31)로 제공된다.
- <15> 상기 트랜지스터(32)의 드레인 전류는 로드 저항(36)에 의해 출력 전압으로 변환된다. 인덕터(38)는 RF 초크로서 동작한다. 인덕터(40)와 캐패시터(42)는 출력 임피던스 매칭 네트워크를 형성하며, 캐패시터(44)는 DC 차단 캐패시터로서 동작한다.
- <16> 이상에서 설명한 상기 전력증폭기(10)에서 RF 입력전력의 크기를 검출하는 상기 검출기(23)는 상기 전력증폭기(10)의 입력단에 위치하고 있다. 상기 다이오드(20)는 입력 RF신호를 직류 신호로 변환하며, 상기 제어 증폭기(26)는 상기 전압 소스(27)로부터 양의 입력단자로 인가된 기준전압을 음의 입력단자로 인가된 상기 변환된 직류 신호의 전압과 비교하여 상기 트랜



지스터(32)에 적합한 바이어스 전압을 생성한다. 상기한 전력증폭기(10)의 경우 별도의 기준전압을 필요로 하며, 집적 불가능한 다이오드라는 외부소자를 이용하고 있다. 따라서 단일칩 직접화가 거의 불가능하여 전력증폭기의 크기가 커져 단말기의 소형화가 힘들어지는 단점이 있다.

<17> 도 2는 종래 기술에 따라 출력단에서 RF 전력의 크기를 검출하는 전력증폭기의 회로도를 나타낸 것이다.

<18> 상기 도 2를 참조하면, 전력증폭기(50)는 제1 전력증폭부(52)와 제2 전력증폭부(54)와 게이트전압 제어부(56)와 입력매칭 회로(58)와 중간매칭 회로(Intermediate matching circuit)(60)와 출력매칭 회로(62)로 이루어진다. 상기한 전력증폭기(50)에서 RF 전력의 크기를 검출하는 상기 게이트전압 제어부(56)는 상기 전력증폭기(50)의 출력단에 위치하고 있다.

<19> 상기 게이트전압 제어부(56)는 출력전력 검출회로(64)와 전압분배 회로(66)를 포함한다. 출력단에서 샘플링된 출력신호는 상기 출력전력 검출회로(64)에 의해 직류 신호로 변환되며, 상기 변환된 직류 신호는 -5V의 전원과 2개의 저항들 R3,R4로 이루어진 상기 전압분배 회로(66)에 의해 전력증폭기 트랜지스터로 입력되기에 적절한 전압수준으로 조정된 후 상기 제2 전력증폭부(54)로 다시 제공된다.

<20> 상기한 전력증폭기(50)의 문제는 전력증폭기의 출력신호가 검출을 위한 회로에서 손실될 수 있다는 점이다. 즉, 상기 출력 정합회로(62)를 거친 신호의 일부가 부하(load)가 아닌 상기 게이트전압 제어부(56)로 빠져나가게 되어 신호의 손실이 커지게 되며, 이로 인해 전력증폭기(50)의 최대전력이 감소하고 효율이 떨어질 가능성이 크다. 또한 마찬가지로 다이오드 등을

사용해야 하므로 전력증폭기의 크기가 커지며, 별도의 외부전원을 사용하여야 한다는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <21> 따라서 상기한 바와 같이 동작되는 종래 기술의 문제점을 해결하기 위하여 창안된 본 발명은, 외부의 전원과 외부의 다이오드를 사용하지 않고 집적 가능한 소자들로 이루어진 전력 검출기를 사용하는 초고주파 전력증폭기 회로를 제공한다.
- <22> 본 발명은, 상보(complementary) 소자를 이용한 소스 폴로어(source follower)를 이용하여 전압 레벨을 조정하는 전압조정회로를 사용하는 전력 검출기를 제공한다.
- <23> 본 발명은 단일칩화가 가능한 소형의 및 저가격 효율개선 전력증폭기를 제공한다.
- <24> 본 발명의 실시예는, 초고주파(RF) 전력증폭기에 있어서,
- <25> 초고주파 대역의 입력신호의 크기를 검출하고, 정류 트랜지스터의 비선형 특성을 이용하여 상기 검출된 입력신호의 크기에 응답하는 직류신호를 출력하는 제1 바이어스 조정회로와,
- <26> 상기 제1 바이어스 조정회로로부터 출력되는 직류신호의 전압을 상보소자로 이루어진 소스 폴로어 트랜지스터에 의해 조정하여 증폭 효율을 최적화할 수 있는 바이어스 전압을 생성하는 제2 바이어스 조정회로와,
- <27> 구동전압에 의해 동작하고, 상기 입력신호를 상기 제2 바이어스 조정회로로부터 출력되는 바이어스 전압에 응답하여 증폭함으로써 출력신호를 생성하는 전력증폭기 트랜지스터를 포함하는 것을 특징으로 한다.

## 【발명의 구성 및 작용】

- <28> 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- <29> 도 3은 본 발명의 일 실시예에 따른 집적 가능한 전력증폭기의 회로도를 나타낸 것이다.
- <30> 상기 도 3을 참조하면, 전력증폭기(100)는 FET(Field Effect Transistor)로 구성된 A, AB 또는 B형의 증폭기 트랜지스터(150)와 입력정합 회로(110)와 출력정합 회로(120)에, 추가적으로 입력전력 크기에 따라 바이어스 전압을 조정하는 제1 및 제2 바이어스 조정회로(130, 140)로 이루어진다. 상기 입력 및 출력정합 회로들(110, 120)은 응용주파수, 이득, 사용되는 증폭기 트랜지스터의 종류에 따라 구성되는 것으로서 수동소자들을 이용하여 구성된다.
- <31> 초고주파(Radio Frequency: RF) 대역의 입력신호는 인덕터 L1과 캐패시터 C2로 이루어진 상기 입력정합 회로(110)로 입력된다. 인덕터 L1과 캐패시터 C2는 상기 입력신호의 임피던스를 증폭기 트랜지스터(150)의 입력 임피던스에 매칭시키는 입력 임피던스를 제공할 수 있다. 상기 입력신호는 캐패시터 C1을 통해 상기 제1 바이어스 조정회로(130)로 제공된다. 상기 제1 바이어스 조정회로(130)는 입력단에서 상기 입력신호의 크기를 검출하고, 상기 검출된 크기에 따라 증가 또는 감소하는 직류신호를 생성하는 RF 검출기로서 동작한다.

- <32>      상기 제1 바이어스 조정회로(130)는 바이어스 저항들 R1, R2와 정류 트랜지스터 T1, 그리고 저항 R3과 캐패시터 C5로 구성된다. 바이어스 저항 R1은 구동전압  $V_{DD}$ 에 연결되는 일측과 정류 트랜지스터 T1의 게이트에 연결되는 타측을 가지며, 바이어스 저항 R2는 정류 트랜지스터 T1의 게이트에 연결되는 일측과 접지되는 타측을 가진다. 정류 트랜지스터 T1의 드레인과 게이트는 상호 접속되며, 소스는 접지된다. 저항 R3의 일측은 정류 트랜지스터 T1의 드레인에 연결되고, 타측은 캐패시터 C5의 일측에 연결된다. 캐패시터 C5의 타측은 접지된다. 정류 트랜지스터 T1은 집적 가능한 소자인 FET로 구성된다.
- <33>      상기 제2 바이어스 조정회로(140)는 상기 제1 바이어스 조정회로(130)에서 생성된 직류 신호의 전압을, 전력증폭기의 효율을 최적화 할 수 있는 바이어스 전압으로 맞추어 주기 위해 조정하는 직류레벨 변환기(DC level shifter)로서 동작한다. 상기 제2 바이어스 조정회로(140)는 소스 폴로어로서 동작하는 PMOS(Positive Metal Oxide Semiconductor) FET T2와 전압 분배를 위한 저항들 R6, R7과 저역통과 여파기로서 동작하는 캐패시터 C6으로 이루어진다.
- <34>      트랜지스터 T2의 게이트로는 상기 제1 바이어스 조정회로(130)의 저항 R3과 캐패시터 C5의 사이로부터 상기 제1 바이어스 조정회로(130)에서 생성된 직류 신호가 제공된다. 또한 트랜지스터 T2의 게이트는 일측이 접지되어 있는 저항 R4의 타측에 연결된다. 트랜지스터 T2는 바이어스 저항 R5를 통해 소스로 구동전압  $V_{DD}$ 를 제공받아 동작하며 드레인은 접지된다. 트랜지스터 T2의 소스에서 출력되는 신호는 저항들 R6, R7에 의해 소정 비율로 분배된다. 상기 분배된 신호는 캐패시터 C6에 의해 저역통과 여파된 후, RF 신호를 격리시키는 저항 R8을 통해 증폭기 트랜지스터(150)의 게이트로 인가되어, 바이어스 전압을 제공한다.

- <35>      상기 증폭기 트랜지스터(150)는 구동전압  $V_{DD}$ 에 의해 동작하고 저항 R8을 통해 바이어스되며 상기 구동전압  $V_{DD}$ 와 상기 증폭기 트랜지스터(150)의 소스 사이에 연결되는 인덕터 L2는 RF choke(Choke)로서 동작한다. 상기 증폭기 트랜지스터(150)에 의해 증폭된 신호는 캐패시터들 C3, C4와 인덕터 L3으로 이루어지는 상기 출력정합 회로(120)에 의해 매핑되는 출력 임피던스를 가지고 최종 출력된다.
- <36>      상기 도 3의 동작을 상세히 설명하면, 입력 단자 RF IN으로 인가된 RF 입력신호는 상기 입력정합 회로(110)로 제공되는 한편, 그 일부가 샘플링되어 캐패시터 C1을 거쳐 상기 제1 바이어스조정 회로(130)로 제공된다. 상기 입력신호는 저항들 R1, R2에 의해 바이어스된 정류 트랜지스터 T1의 비선형 특성에 의해, 상기 입력신호의 크기에 따라 변화하는 직류 신호로 변환된다. 상기 직류신호는 여전히 초고주파 성분을 포함하게 되는데, 상기 초고주파 성분의 상당량은 정류 트랜지스터 T1에 연결된 저항 R3과 캐패시터 C5로 구성된 저역통과 필터에 의해 필터링된다.
- <37>      상기 필터링된 직류신호는 상기 입력신호의 크기에 따라 0V에서 0.2~0.3V 사이의 작은 전압을 가지기 때문에 증폭기 트랜지스터의 바이어스로 부적합하다. 따라서 PMOS 등의 상보(complementary) 소자를 이용한 소스 플로어 트랜지스터 T2를 사용하여 상기 직류신호의 전압을 일정수준으로 쉬프트-업 시키게 된다. 전압을 쉬프트시키는 정도와 상기 상보소자의 바이어스는 구동전압  $V_{DD}$ 와 상기 소스 플로어 트랜지스터 T2의 소스 사이에 연결된 저항 R5를 이용하여 조정된다.
- <38>      상기 쉬프트된 직류신호의 전압은 저항들 R6, R7로 구성된 전압분배기에 의해 최종적으로 증폭기 트랜지스터(150)에 적합한 바이어스로 생성된다. 캐패시터 C6은 저항들 R6, R7의 사이에서 접지로 연결되어 저역통과 필터로서 동작하여 상기 생성된 바이어스 신호에 포함된 초고

주파 성분을 완전히 제거한다. 저항 R8은 상기 필터링된 바이어스 신호를 증폭기 트랜지스터 (150)의 게이트에 전달하면서 초고주파 성분을 격리시킨다.

<39> 증폭기 트랜지스터(150)는 상기 바이어스 신호에 의해 바이어스된 게이트와 접지된 소스 및 인덕터 L2를 통해 구동전압  $V_{DD}$ 을 제공받는 드레인을 가지는 FET로 구성되며, 상기 입력정합 회로(110)를 통해 제공된 입력신호를 증폭하여 상기 출력정합 회로(120)로 출력한다. 상기 출력정합 회로(120)는 상기 증폭기 트랜지스터(150)의 드레인에 연결된 일측을 가지는 캐패시터 C3과, 상기 캐패시터 C3의 타측에 연결된 일측을 가지며 접지된 타측을 가지는 캐패시터 C4와, 상기 캐패시터 C3의 타측과 출력단 RF OUT 사이에 연결된 인덕터 L3으로 이루어지며, 상기 증폭된 신호의 출력 임피던스를 매핑시켜 최종 출력한다.

<40> 도 4는 본 발명의 다른 실시예에 따른 집적 가능한 전력증폭기의 회로도를 나타낸 것이다.

<41> 상기 도 4를 참조하면, 전력증폭기(200)는 FET로 구성된 A, AB 또는 B형의 증폭기 트랜지스터(250)와 입력정합 회로(210)와 출력정합 회로(220)와 제1 및 제2 바이어스 조정회로(230, 240)로 이루어진다. 이들을 상기 도 3과 비교하면, 상기 제2 바이어스 조정회로(240)는 PMOS 등의 상보소자를 이용한 소스 폴로어 트랜지스터 T2를 이용하여 직류신호를 생성한 후, 운용 증폭기(Operation Amplifier: OP-AMP) OP를 이용하여 상기 직류신호의 전압을 상기 증폭기 트랜지스터(250)에 적합한 바이어스 전압으로 변환한다.

<42> RF 입력신호는 인덕터 L4와 캐패시터 C8로 이루어진 상기 입력정합 회로(210)로 입력된다. 인덕터 L4와 캐패시터 C8은 상기 입력신호의 임피던스를 증폭기 트랜지스터(250)의 입력 임피던스에 매칭시키는 입력 임피던스를 제공할 수 있다. 상기 입력신호는 캐패시터 C7을 통해 상기 제1 바이어스 조정회로(230)로 제공된다. 상기 제1 바이어스 조정회로(230)는 입력단에서

상기 입력신호의 크기를 검출하고, 상기 검출된 크기에 따라 증가 또는 감소하는 직류신호를 생성하는 RF 검출기로서 동작한다.

<43>        상기 제1 바이어스 조정회로(230)는 바이어스 저항들 R9, R10과 정류 트랜지스터 T3, 그리고 저항 R11과 캐패시터 C11로 구성된다. 바이어스 저항 R9는 구동전압  $V_{DD}$ 에 연결되는 일측과 정류 트랜지스터 T3의 게이트에 연결되는 타측을 가지며, 바이어스 저항 R10은 정류 트랜지스터 T3의 게이트에 연결되는 일측과 접지되는 타측을 가진다. 정류 트랜지스터 T3의 드레인과 게이트는 상호 접속되며, 소스는 접지된다. 저항 R11의 일측은 정류 트랜지스터 T3의 드레인에 연결되고, 타측은 캐패시터 C1의 일측에 연결된다. 캐패시터 C11의 타측은 접지된다. 정류 트랜지스터 T3은 집적 가능한 소자인 FET로 구성된다.

<44>        상기 제2 바이어스 조정회로(240)는 상기 제1 바이어스 조정회로(230)에서 생성된 직류신호의 전압을, 전력증폭기의 효율을 최적화 할 수 있는 바이어스 전압으로 맞추어 주기 위해 조정하는 직류레벨 변환기로서 동작한다. 상기 제2 바이어스 조정회로(240)는 PMOS FET로 구성된 소스 폴로어 트랜지스터 T4와 전압 분배를 위한 저항들 R14, R15와 운용 증폭기 OP와 전압 분배를 위한 저항들 R16, 17과 저역통과 여파기로서 동작하는 캐패시터 C12로 이루어진다.

<45>        트랜지스터 T4의 게이트로는 상기 제1 바이어스 조정회로(230)의 저항 R11과 캐패시터 C11의 사이로부터 상기 제1 바이어스 조정회로(230)에서 생성된 직류신호가 제공된다. 또한 트랜지스터 T4의 게이트는 일측이 접지되어 있는 저항 R12의 타측에 연결된다. 트랜지스터 T4는 바이어스 저항 R13을 통해 소스로 구동전압  $V_{DD}$ 를 제공받아 동작하며 드레인은 접지된다. 트랜지스터 T4의 소스에서 출력되는 신호는 운용 증폭기 OP의 양(+) 입력단자로 제공된다.

<46>        저항들 R14, R15는 별도의 외부전원을 사용하지 않고, 구동전압  $V_{DD}$ 를 소정 비율로 분배하여 저항 R16을 통해 운용 증폭기 OP의 음(-) 입력단자로 기준전압으로서 제공한다. 운용 증

폭기 OP의 출력 단자는 캐패시터 C12를 통해 접지되며, 저항 R17은 상기 운용 증폭기 OP의 출력을 음(-) 입력단자로 궤환시킨다.

<47> 운용 증폭기 OP는 트랜지스터 T4로부터의 신호의 전압을 상기 기준전압과 비교하고, 그 비교결과를 나타내는 직류신호는 운용 증폭기 OP의 음 입력단자로부터 저항들 R16과 R17에 의해 소정비율로 분배된 후 증폭기 트랜지스터(250)의 바이어스 조정 신호로서 출력된다. 상기 바이어스 조정 신호는 캐패시터 C12에 의해 저역통과 여파된 후, 저항 R18을 통해 증폭기 트랜지스터(250)의 게이트로 인가되어, 바이어스 전압을 제공한다.

<48> 상기 증폭기 트랜지스터(250)는 구동전압  $V_{DD}$ 에 의해 동작하고 저항 R18을 통해 바이어스되며 상기 구동전압  $V_{DD}$ 와 상기 증폭기 트랜지스터(250)의 소스 사이에 연결되는 인덕터 L5는 RF 초크로서 동작한다. 상기 증폭기 트랜지스터(250)에 의해 증폭된 신호는 캐패시터들 C9, C10과 인덕터 L6으로 이루어지는 상기 출력정합 회로(220)에 의해 매핑되는 출력 임피던스를 가지고 최종 출력된다.

<49> 상기 출력정합 회로(220)는 상기 증폭기 트랜지스터(250)의 드레인에 연결된 일측을 가지는 캐패시터 C3과, 상기 캐패시터 C3의 타측에 연결된 일측을 가지며 접지된 타측을 가지는 캐패시터 C4와, 상기 캐패시터 C3의 타측과 출력단 RF OUT 사이에 연결된 인덕터 L3으로 이루어지며, 상기 증폭된 신호의 출력 임피던스를 매핑시켜 최종 출력한다.

<50> 상기 도 4와 같이 구성되는 전력증폭기는 운용 증폭기 OP를 사용함으로써 바이어스 전압의 레벨 및 변동범위를 보다 정교하게 조정 가능하도록 구성되었다. 도 3에서와 마찬가지로 운용 증폭기 OP는 추가의 외부전원을 사용하지 않고, 저항들 R14, R15에 의해 분배된 구동전압에 의해 동작한다. 운용 증폭기 OP의 출력은 저항들 R16, R17의 비에 의해 최적의 전압 레벨로 조정된다.



- <51> 도 5 내지 7은 본 발명에 따른 전력증폭기의 성능을 나타낸 그래프들이다.
- <52> 먼저 도 5는 전력증폭기의 가변하는 바이어스 전압을 보여준다. 가변 바이어스가 없는 전력증폭기의 경우 증폭기 트랜지스터의 게이트에 입력되는 바이어스 전압이 입력전력의 크기에 관계없이 일정한 전압으로 유지되는데 반해, 도시된 바와 같이 본 발명에 따른 전력증폭기의 경우 바이어스 전압이 입력전력의 크기에 비례하여 변화하고 있다.
- <53> 최대 전력점 근처에서의 바이어스 전압은 바이어스 가변회로를 가지지 않는 일반적인 전력증폭기 회로의 최대 전력점에서의 바이어스와 거의 같다. 그러나 입력전력이 점점 작아지게 되면 최대전력 동작 때와 같은 큰 전류를 사용할 필요가 없이 작은 전류로도 증폭기의 성능을 낼 수 있다. 따라서 트랜지스터에 인가되는 바이어스 전압을 낮추어 소모되는 직류 전력을 줄이고 증폭기의 전력 효율(PAE : Power Added Efficiency)을 개선할 수 있게 된다.
- <54> 도 6은 가변 바이어스 회로가 없는 기존 전력증폭기의 입력전력에 따른 효율을 나타낸 것이며, 도 7은 본 발명에 따른 가변 바이어스 회로를 사용하는 전력증폭기의 입력전력에 따른 효율을 나타낸 것이다. 도시한 바에 따르면, 최대전력에서의 효율들은 두 도면에서 거의 동일하게 나타낸다. 그러나 보다 작은 입력전력인 -3dBm정도의 저전력에서, 본 발명에 따른 전력증폭기의 효율이 기존 전력증폭기에 비하여 4.16%에서 6.5%로 거의 60% 가량 개선되었다. 즉 본 발명에 따른 가변 바이어스 회로는 전력증폭기의 최대전력과 이때의 효율은 유지하면서 저전력에서의 효율을 크게 개선한다.

<55> 한편 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되지 않으며, 후술되는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

#### 【발명의 효과】

<56> 이상에서 상세히 설명한 바와 같이 동작하는 본 발명에 있어서, 개시되는 발명중 대표적인 것에 의하여 얻어지는 효과를 간단히 설명하면 다음과 같다.

<57> 본 발명은 전력증폭기 트랜지스터의 바이어스를 입력신호의 크기에 따라 가변하여 최대 출력 신호전력에서의 증폭기 효율을 유지하면서 통계적으로 많이 사용되는 작은 전력에서의 효율을 개선할 수 있는 전력증폭기용 바이어스 회로에 관한 것이다.

<58> 본 발명에 따른 전력증폭기는, 외부의 전원을 사용하지 않기 때문에 전원을 생성하기 위한 추가의 바이어스 회로를 필요로 하지 않으며, 외부의 다이오드가 아닌 집적할 수 있는 MOSFET등의 트랜지스터를 사용한 전력 검출기를 이용하여 단순화 소형화가 가능하다. 또한 PMOS등의 상보소자를 이용한 소스 폴러어를 가지는 전압조정 회로를 이용하여 바이어스 전압 레벨을 전력증폭기 트랜지스터에 적합하게 조정함으로써, 모든 회로의 단일칩화가 가능하고 따라서 소형화 및 저가격의 효율개선 전력증폭기를 만들 수 있다.

**【특허청구범위】****【청구항 1】**

초고주파(RF) 전력증폭기에 있어서,

초고주파 대역의 입력신호의 크기를 검출하고, 정류 트랜지스터의 비선형 특성을 이용하여 상기 검출된 입력신호의 크기에 응답하는 직류신호를 출력하는 제1 바이어스 조정회로와,

상기 제1 바이어스 조정회로로부터 출력되는 직류신호의 전압을 상보소자로 이루어진 소스 폴로어 트랜지스터에 의해 조정하여 증폭 효율을 최적화할 수 있는 바이어스 전압을 생성하는 제2 바이어스 조정회로와,

구동전압에 의해 동작하고, 상기 입력신호를 상기 제2 바이어스 조정회로로부터 출력되는 바이어스 전압에 응답하여 증폭함으로써 출력신호를 생성하는 전력증폭기 트랜지스터를 포함하는 것을 특징으로 하는 상기 전력증폭기.

**【청구항 2】**

제 1 항에 있어서, 상기 제1 바이어스 조정회로는,

상기 입력신호를 수신하는 게이트와 상기 게이트에 접속된 드레인과 접지된 소스를 가지는 정류 트랜지스터와,

상기 전력증폭기 트랜지스터의 구동전압과 연결된 일측 단자와 상기 정류 트랜지스터의 게이트에 연결된 타측 단자를 가지는 제1 바이어스 저항과,

상기 정류 트랜지스터의 게이트에 연결된 일측 단자와 접지된 타측 단자를 가지는 제2 바이어스 저항과,

상기 정류 트랜지스터의 드레인에 연결되며 상기 직류신호에 포함된 초고주파 성분을 제거하여 상기 제2 바이어스 조정회로의 입력단에 연결된 출력단으로 출력하는 저역통과 필터로 구성되는 것을 특징으로 하는 상기 전력증폭기.

### 【청구항 3】

제 2 항에 있어서, 상기 저역통과 필터는,

상기 정류 트랜지스터의 드레인에 연결된 일측 단자를 가지는 저항과 상기 저항의 타측 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 캐패시터로 구성되며, 상기 저항의 타측 단자는 상기 제1 바이어스 조정회로의 출력단이 되는 것을 특징으로 하는 상기 전력증폭기.

### 【청구항 4】

제 2 항에 있어서, 상기 제2 바이어스 조정회로는,

상기 구동전압에 연결된 일측 단자를 가지는 제3 바이어스 저항과,

상기 제1 바이어스 조정회로의 출력단에 연결된 게이트와 접지된 드레인과 상기 제3 바이어스 저항의 타측 단자에 연결된 소스를 가지는 소스 폴로어 트랜지스터와,

상기 소스 폴로어 트랜지스터의 소스에 연결되는 일측 단자를 가지는 제1 분배기 저항과 상기 제1 분배기 저항의 타측 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 제2 분배기 저항으로 구성되어 상기 제1 바이어스 조정회로로부터 출력되는 상기 직류신호의 전압 레벨을 조정하는 분배기와,

상기 분배기로부터 출력되는 신호에 포함된 초고주파 성분을 제거하여 상기 전력증폭기 트랜지스터에 상기 바이어스 전압으로서 제공하는 저역통과 필터로 구성되는 것을 특징으로 하는 상기 전력증폭기.

【청구항 5】

제 3 항에 있어서, 상기 소스 폴로어 트랜지스터는, 상보소자로 구성되는 것을 특징으로 하는 상기 전력증폭기.

【청구항 6】

제 3 항에 있어서, 상기 저역통과 필터는,

상기 제1 분배기 저항의 타측 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 커패시터로 구성되며, 상기 커패시터의 일측 단자는 상기 제2 바이어스 조정회로의 출력단이 되는 것을 특징으로 하는 상기 전력증폭기.

【청구항 7】

제 2 항에 있어서, 상기 제2 바이어스 조정회로는,

상기 구동전압에 연결된 일측 단자를 가지는 제3 바이어스 저항과,

상기 제1 바이어스 조정회로의 출력단에 연결된 게이트와 접지된 드레인과 상기 제3 바이어스 저항의 타측 단자에 연결된 소스를 가지는 소스 폴로어 트랜지스터와,

상기 구동전압에 연결되는 일측 단자를 가지는 제1 분배기 저항과 상기 제1 분배기 저항의 타측 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 제2 분배기 저항으로 구성되는 제1 분배기와,

상기 제1 분배기 저항의 타측 단자에 연결되는 일측 단자를 가지는 제1 저항과,

상기 소스 폴로어 트랜지스터의 소스에 연결되는 양(+) 입력단자와 상기 제1 저항의 타측 단자에 연결되는 음(-) 입력단자를 가지는 운용 증폭기와,

상기 운용 증폭기의 출력을 음(-) 입력단자로 궤환시키는 제2 저항과

상기 운용 증폭기로부터 출력되는 신호에 포함된 초고주파 성분을 제거하여 상기 전력증폭기 트랜지스터에 상기 바이어스 전압으로서 제공하는 저역통과 필터로 구성되는 것을 특징으로 하는 상기 전력증폭기.

#### 【청구항 8】

제 6 항에 있어서, 상기 소스 폴로어 트랜지스터는, 상보소자로 구성되는 것을 특징으로 하는 상기 전력증폭기.

#### 【청구항 9】

제 6 항에 있어서, 상기 저역통과 필터는,

상기 운용 증폭기의 출력 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 캐패시터로 구성되며, 상기 캐패시터의 일측 단자는 상기 제2 바이어스 조정회로의 출력단이 되는 것

을 특징으로 하는 상기 전력증폭기.

【청구항 10】

제 1 항에 있어서, 상기 입력신호와 상기 출력신호의 임피던스들을 상기 증폭기 트랜지스터의 입력 및 출력 임피던스들에 매핑시키는 입력 및 출력정합 회로들을 더 포함하는 것을 특징으로 하는 상기 전력증폭기.

【청구항 11】

초고주파(RF) 전력증폭기에 있어서,

초고주파 대역의 입력신호의 크기를 검출하고, 정류 트랜지스터의 비선형 특성을 이용하여 상기 검출된 입력신호의 크기에 응답하는 직류신호를 출력하는 제1 바이어스 조정회로와,

상기 제1 바이어스 조정회로로부터 출력되는 직류신호의 전압을 상보소자로 이루어진 소스 폴로어 트랜지스터에 의해 조정하여 증폭 효율을 최적화할 수 있는 바이어스 전압을 생성하는 제2 바이어스 조정회로와,

구동전압에 의해 동작하고, 상기 입력신호를 상기 제2 바이어스 조정회로로부터 출력되는 바이어스 전압에 응답하여 증폭함으로써 출력신호를 생성하는 전력증폭기 트랜지스터를 포함하며,

상기 제2 바이어스 조정회로는,

상기 구동전압에 연결된 일측 단자를 가지는 제1 바이어스 저항과,

상기 제1 바이어스 조정회로의 출력단에 연결된 게이트와 접지된 드레인과 상기 제1 바이어스 저항의 타측 단자에 연결된 소스를 가지는 소스 폴로어 트랜지스터와,

상기 소스 폴로어 트랜지스터의 소스에 연결되는 일측 단자를 가지는 제1 분배기 저항과 상기 제1 분배기 저항의 타측 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 제2 분배기 저항으로 구성되어 상기 제1 바이어스 조정회로로부터 출력되는 상기 직류신호의 전압 레벨을 조정하는 분배기와,

상기 분배기로부터 출력되는 신호에 포함된 초고주파 성분을 제거하여 상기 전력증폭기 트랜지스터에 상기 바이어스 전압으로서 제공하는 저역통과 필터로 구성되는 것을 특징으로 하는 상기 전력증폭기.

#### 【청구항 12】

제 10 항에 있어서, 상기 제1 바이어스 조정회로는,

상기 입력신호를 수신하는 게이트와 상기 게이트에 접속된 드레인과 접지된 소스를 가지는 정류 트랜지스터와,

상기 전력증폭기 트랜지스터의 구동전압과 연결된 일측 단자와 상기 정류 트랜지스터의 게이트에 연결된 타측 단자를 가지는 제2 바이어스 저항과,

상기 정류 트랜지스터의 게이트에 연결된 일측 단자와 접지된 타측 단자를 가지는 제3 바이어스 저항과,

상기 정류 트랜지스터의 드레인에 연결되며 상기 직류신호에 포함된 초고주파 성분을 제거하여 상기 제2 바이어스 조정회로의 입력단에 연결된 출력단으로 출력하는 저역통과 필터로



구성되는 것을 특징으로 하는 상기 전력증폭기.

【청구항 13】

제 11 항에 있어서, 상기 저역통과 필터는,

상기 정류 트랜지스터의 드레인에 연결된 일측 단자를 가지는 저항과 상기 저항의 타측 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 캐패시터로 구성되며, 상기 저항의 타측 단자는 상기 제1 바이어스 조정회로의 출력단이 되는 것을 특징으로 하는 상기 전력증폭기.

【청구항 14】

제 10 항에 있어서, 상기 소스 폴로어 트랜지스터는, 상보소자로 구성되는 것을 특징으로 하는 상기 전력증폭기.

【청구항 15】

제 10 항에 있어서, 상기 저역통과 필터는,

상기 제1 분배기 저항의 타측 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 캐패시터로 구성되며, 상기 캐패시터의 일측 단자는 상기 제2 바이어스 조정회로의 출력단이 되는 것을 특징으로 하는 상기 전력증폭기.

【청구항 16】

초고주파(RF) 전력증폭기에 있어서,

초고주파 대역의 입력신호의 크기를 검출하고, 정류 트랜지스터의 비선형 특성을 이용하여 상기 검출된 입력신호의 크기에 응답하는 직류신호를 출력하는 제1 바이어스 조정회로와,

상기 제1 바이어스 조정회로로부터 출력되는 직류신호의 전압을 상보소자로 이루어진 소스 폴로어 트랜지스터에 의해 조정하여 증폭 효율을 최적화할 수 있는 바이어스 전압을 생성하는 제2 바이어스 조정회로와,

구동전압에 의해 동작하고, 상기 입력신호를 상기 제2 바이어스 조정회로로부터 출력되는 바이어스 전압에 응답하여 증폭함으로써 출력신호를 생성하는 전력증폭기 트랜지스터를 포함하며,

상기 제2 바이어스 조정회로는,

상기 구동전압에 연결된 일측 단자를 가지는 제1 바이어스 저항과,

상기 제1 바이어스 조정회로의 출력단에 연결된 게이트와 접지된 드레인과 상기 제3 바이어스 저항의 타측 단자에 연결된 소스를 가지는 소스 폴로어 트랜지스터와,

상기 구동전압에 연결되는 일측 단자를 가지는 제1 분배기 저항과 상기 제1 분배기 저항의 타측 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 제2 분배기 저항으로 구성되는 제1 분배기와,

상기 제1 분배기 저항의 타측 단자에 연결되는 일측 단자를 가지는 제1 저항과,

상기 소스 폴로어 트랜지스터의 소스에 연결되는 양(+) 입력단자와 상기 제1 저항의 타측 단자에 연결되는 음(-) 입력단자를 가지는 운용 증폭기와,

상기 운용 증폭기의 출력을 음(-) 입력단자로 궤환시키는 제2 저항과

상기 운용 증폭기로부터 출력되는 신호에 포함된 초고주파 성분을 제거하여 상기 전력증폭기 트랜지스터에 상기 바이어스 전압으로서 제공하는 저역통과 필터로 구성되는 것을 특징으로 하는 상기 전력증폭기.

#### 【청구항 17】

제 16 항에 있어서, 상기 제1 바이어스 조정회로는,

상기 입력신호를 수신하는 게이트와 상기 게이트에 접속된 드레인과 접지된 소스를 가지는 정류 트랜지스터와,

상기 전력증폭기 트랜지스터의 구동전압과 연결된 일측 단자와 상기 정류 트랜지스터의 게이트에 연결된 타측 단자를 가지는 제2 바이어스 저항과,

상기 정류 트랜지스터의 게이트에 연결된 일측 단자와 접지된 타측 단자를 가지는 제3 바이어스 저항과,

상기 정류 트랜지스터의 드레인에 연결되며 상기 직류신호에 포함된 초고주파 성분을 제거하여 상기 제2 바이어스 조정회로의 입력단에 연결된 출력단으로 출력하는 저역통과 필터로 구성되는 것을 특징으로 하는 상기 전력증폭기.

#### 【청구항 18】

제 17 항에 있어서, 상기 저역통과 필터는,

상기 정류 트랜지스터의 드레인에 연결된 일측 단자를 가지는 저항과 상기 저항의 타측 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 캐패시터로 구성되며, 상기 저항의 타

측 단자는 상기 제1 바이어스 조정회로의 출력단이 되는 것을 특징으로 하는 상기 전력증폭기.

【청구항 19】

제 16 항에 있어서, 상기 소스 폴로어 트랜지스터는, 상보소자로 구성되는 것을 특징으로 하는 상기 전력증폭기.

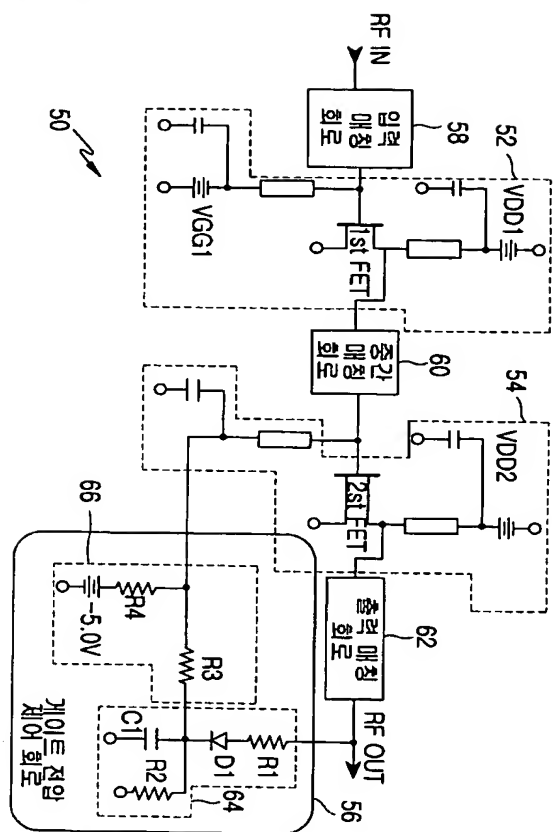
【청구항 20】

제 16 항에 있어서, 상기 저역통과 필터는,

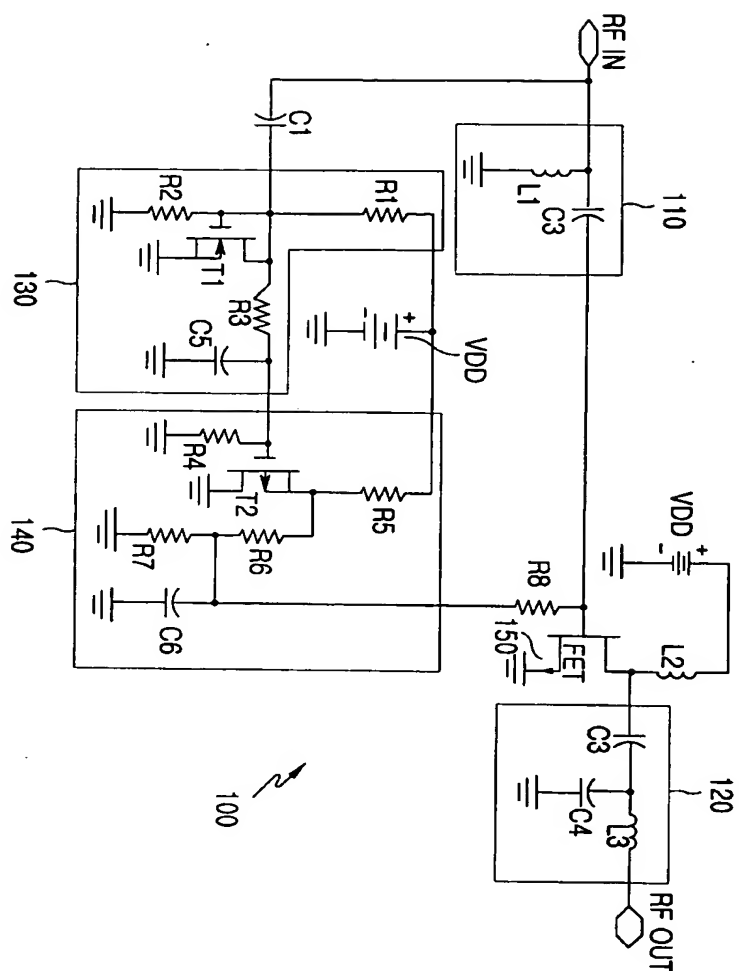
상기 운용 증폭기의 출력 단자에 연결된 일측 단자와 접지된 타측 단자를 가지는 캐패시터로 구성되며, 상기 캐패시터의 일측 단자는 상기 제2 바이어스 조정회로의 출력단이 되는 것을 특징으로 하는 상기 전력증폭기.



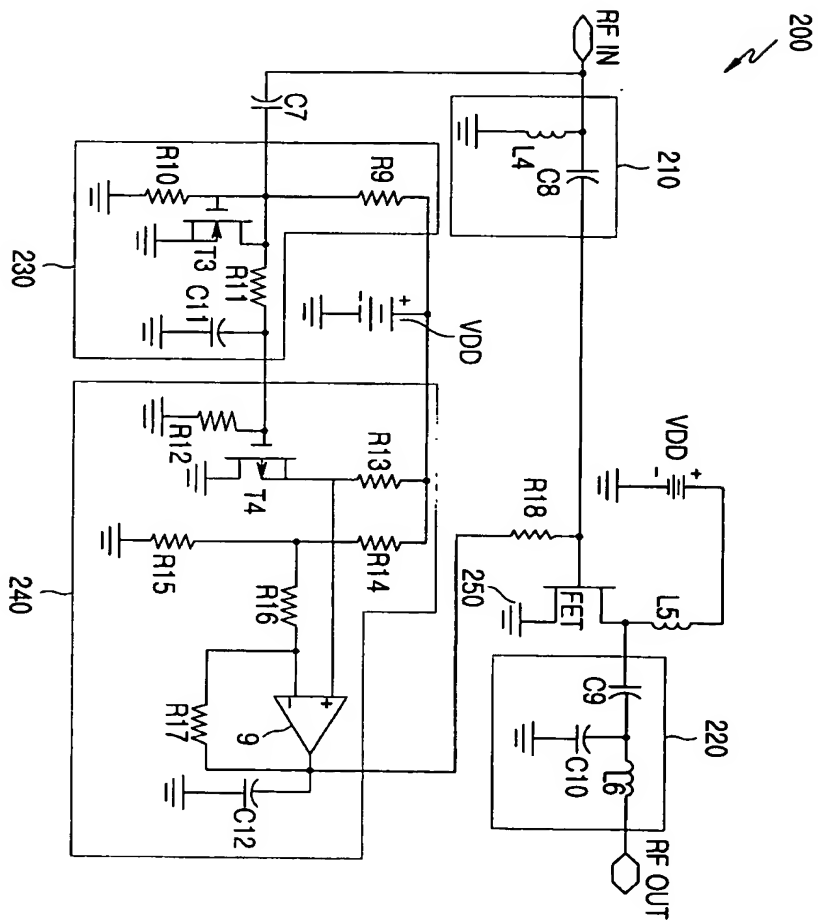
【도 2】



【도 3】

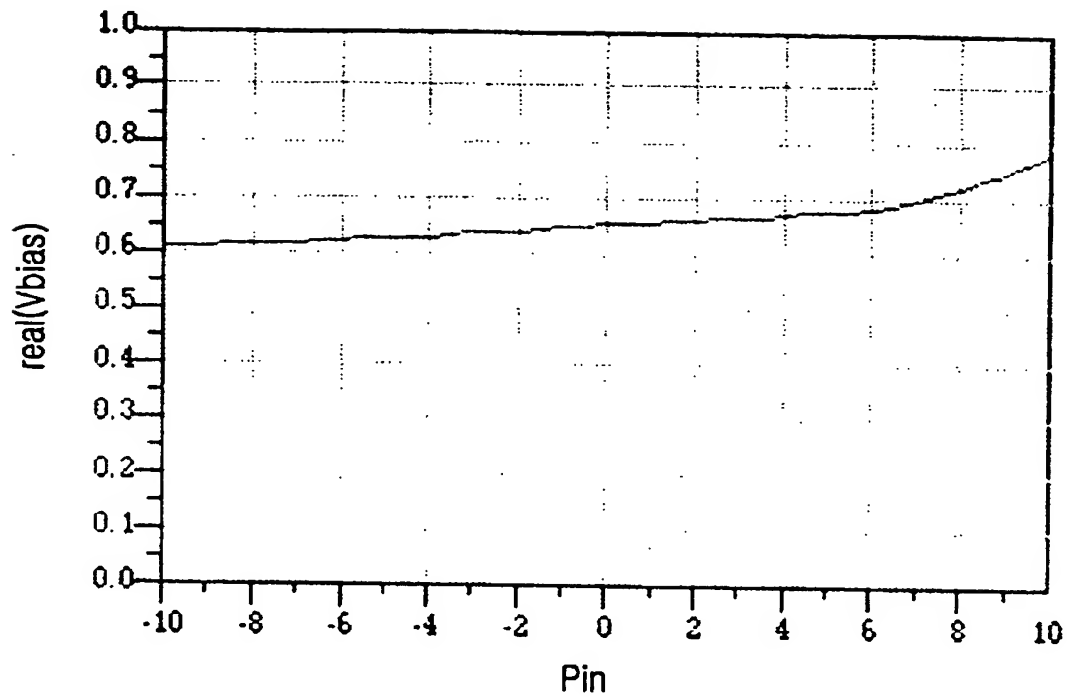


【도 4】

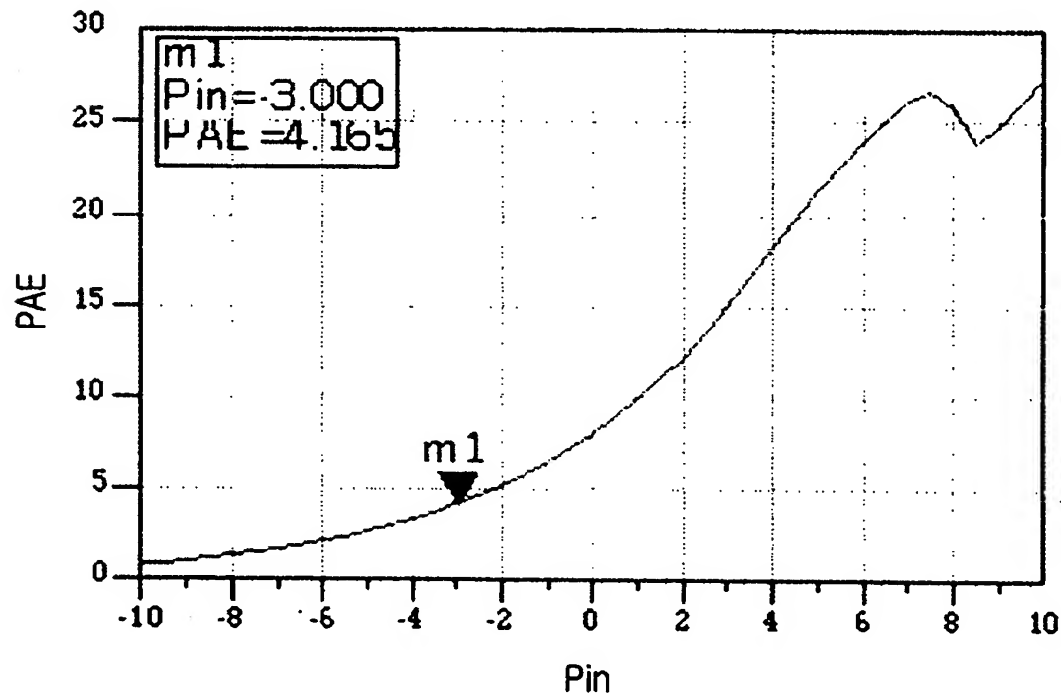




【도 5】



【도 6】



【도 7】

